

ASZ

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)  
(12) PATENT LAID-OPEN GAZETTE (A)

(51)  $\circ$  Int. Cl. <sup>7</sup>  
G11C 29/00  
(11) Laid-Open Publication No.: 2001-0065069  
(43) Laid-Open Publication Date: July 11, 2001  
(21) Application No. 10-1999-0062228  
(22) Filing Date: December 24, 1999  
(71) Applicant: Hynix Semiconductor Inc. Jong Sub PARK  
San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do  
(72) Inventor(s): Chang Ho DOH  
271-3, Hage-dong, Nowon-gu, Seoul  
Jung Won SEO  
109-502 Sibumdanji Samsung Apt., Seohyun-dong,  
Boondang-gu, Sungnam-si, Kyongki-do  
(74) Patent Attorney(s): SHINSUNG International Patent & Law Firm Hae Chun PARK,  
Suk Hee WON, Jong Shik CHOI, Jung Hoo PARK, Ji Won CHUNG  
Request for Examination: Yes  
(54) SEMICONDUCTOR MEMORY DEVICE HAVING ROW REPAIR OF MAIN WORD  
LINE REPLACEMENT

**ABSTRACT**

A row repair method of a semiconductor memory device is provided. In the row repair method, a main word line is replaced with a spare word line to improve efficiency. The semiconductor memory device having a plurality of cell blocks comprises: a predetermined fuse box group comprised in each cell block for outputting information on a repaired block in response to a row address; a repair signal summing unit for stopping driving of a normal row decoder in response to an output signal from the fuse box group and starting driving of a repair circuit; and a block selecting signal generating unit for selecting a repaired block in response to a block selecting address and an output signal from the repair signal summing unit.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> G11C 29/00	(11) 공개번호 (43) 공개일자	특2001-0065069 2001년07월11일
(21) 출원번호	10-1999-0062228	
(22) 출원일자	1999년12월24일	
(71) 출원인	주식회사 하이닉스반도체 박종섭	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 도창호	
	서울특별시노원구하계동271-3번지 서정원	
(74) 대리인	경기도성남시분당구서현동시범단지삼성아파트109-502 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허 법인 신성 박정후, 특허법인 신성 정지원	

심사청구 : 있음

(54) 메인 워드라인 대치방식의 로우 리페어를 갖는 반도체메모리 장치

요약

본 발명은 반도체메모리 장치의 로우 리페어 방식에 관한 것으로 로우 리페어 방법에 있어서 메인 워드라인을 스페어 워드라인으로 대치함으로써 리페어의 효율을 증가시키는 것이다. 이를 위하여 본 발명은 다수개의 셀 블록을 가지는 반도체 메모리 장치에 있어서, 로우 어드레스에 응답하여 리페어하는 블록에 대한 정보를 출력하기 위하여 셀 블록마다 구비된 소정의 휴즈 박스 그룹; 상기 휴즈 박스 그룹의 출력에 응답하여 노멀 로우 디코더의 구동을 정지시키고 리페어 회로의 구동을 시작하기 위한 리페어 신호 합산부; 및 상기 리페어 신호 합산부로부터의 출력과 블록 선택 어드레스에 응답하여 리페어하는 블록을 선택하기 위한 블록 선택 신호 발생부를 포함하여 이루어진다.

도표도

도3

색인어

휴즈 박스, 리페어 신호 합산부, 블록 선택 신호 발생부.

영세서

도면의 간단한 설명

- 도1은 종래 기술의 로우 리페어 회로의 구성을 나타내는 블록도,
- 도2는 본 발명의 리턴던트 메인 워드라인의 구성을 나타내는 블록도,
- 도3는 본 발명의 전체적인 구성을 나타내는 블록도
- 도4는 본 발명의 휴즈 박스에 대한 회로도,
- 도5는 본 발명의 블록 선택 신호 발생부의 구성을 개념적으로 나타내는 블록도,
- 도6a는 본 발명의 블록 선택 신호 발생부의 회로도,
- 도6b는 본 발명의 노멀 워드라인이 활성화될 때의 블록 선택 신호의 흐름을 나타내는 타이밍도,
- 도6c는 본 발명의 리페어 워드라인이 활성화될 때의 블록 선택 신호의 흐름을 나타내는 타이밍도,
- 도7a는 본 발명의 노멀 워드라인의 동작을 나타내는 타이밍도,
- 도7b는 본 발명의 리페어 동작을 나타내는 타이밍도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

400 : 휴즈 박스

410 : 리페어 신호 합산부

430 : 블록 선택 신호 발생부

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 로우 리페어 방식에 관한 것이다.

일반적으로 반도체메모리 장치의 코스트(Cost)는 그것의 수율에 의해 크게 영향을 받기 때문에 이 수율을 향상시키기 위하여 스페어 메모리 셀을 기본적으로 노멀 메모리 셀에 부가한다. 그리하여 몇개의 결함 메모리 셀이 발생된 경우 이를 스페어 메모리 셀로 대체하는 방법(리페어)을 사용하여 왔다. 그러나, 256Mb 이상의 고집적 및 대용량의 메모리 장치에서는, 칩의 크기가 커짐에 따라 제조공정 중에 발생된 브리지 현상으로 인해 메모리장치의 대기 상태에서 원하지 않는 전류 경로가 형성되어 전력 소모를 초래하는 현상과 줄아지는 선폭에 의한 평면적인 마진(Margin)이 부족하여 발생하는 결함이 매우 잦아지게 된다.

도1은 종래 기술의 로우 리페어 방식에 대한 블록도이다.

도1을 참조하면, 메모리 셀 블록이 8개의 셀 블록(bik0 내지 bik7)으로 분할되어 있다. 각각의 셀 블록은 로우 방향으로 네 개의 리던던트 서브 워드라인들(redundant\_sub\_w/L\_0 내지 redundant\_sub\_w/L\_3)을 구비하고 있으며 서브메모리 어레이 블록에 해당하는 블록 선택 어드레스(bik\_add<0> 내지 bik\_add<1>)에 응답하는 리던던트 워드라인 선택기(100)가 각각의 리던던트 워드라인을 선택하여 구동시킬 수 있도록 되어 있다. 네 개의 리던던트 워드라인에 해당하는 네 개의 휴즈 박스가 한 그룹을 이루고 있고 네 개의 휴즈 박스 중 두 개의 휴즈박스 출력을 부정논리곱하는 제1난드게이트(101)와 또 다른 두 개의 휴즈박스의 출력을 부정논리곱하는 제2난드게이트(102)와 제1 및 제2 난드게이트(101, 102)의 출력을 부정논리합하는 노아게이트(103)와 상기 노아게이트(103)의 출력을 반전하여 휴즈박스에 대한 정보를 가지고 리페어하라는 신호 repair0를 생성하는 인버터(104)를 구비한다. 또한 상기와 같은 휴즈 박스의 구성을 갖는 그룹이 세 개가 더 있어서 휴즈박스에 대한 정보를 갖고 리페어하라는 신호 repair1, repair2, repair3를 생성한다. 상기 신호 repair0 내지 repair3는 셀 블록(bik0 내지 bik7)에 있는 리던던트 워드라인 선택기(100)로 입력되어 각각의 리던던트 서브 워드라인을 구동한다.

도1의 종래의 로우 리페어 방식에 대한 동작은 다음과 같다.

로우 어드레스는 모든 휴즈 박스와 각각의 셀 블록(bik0 내지 bik7)으로 입력된다. 이때 블록 선택 어드레스(bik\_add<0> 내지 bik\_add<7>)에 의해 먼저 서브 블록이 선택된다. 선택된 블록에서 페일 비트(fail bit)를 가진 워드 라인이 없다면, 노멀 워드라인 활성화 동작이 진행된다. 만약 선택된 블록에서 페일 비트(fail bit)를 가진 워드 라인이 존재한다면, 네개의 휴즈 박스들(fuse0)중의 하나의 휴즈 박스 내에 있는 휴즈를 프로그래밍하여 네 개의 휴즈 박스에서 출력한 각 휴즈의 출력을 합하여 휴즈박스에 대한 정보를 갖고 리페어하라는 신호 repair0를 활성화시킨다. 상기 신호 repair0는 각 셀 블록마다 존재하는 리던던트 서브 워드라인 선택기(100)로 입력된다. 여기에서 어드레스에 의해 선택된 블록은 이 정보를 받아들여 그 블록의 노멀 워드라인 활성화를 막고, 리던던트 서브 워드라인(redundant\_sub\_word\_line0)을 활성화시킨다. 만약, 선택된 블록에 페일 비트(fail bit)를 가진 워드라인이 두 개 존재한다면 위의 경우처럼 휴즈 박스(fuse0 group)의 휴즈를 한 개 프로그래밍하여 리던던트 서브 워드라인(redundant\_sub\_word\_line0)으로 하나를 대체하고, 다른 휴즈 박스(fuse1 내지 fuse3)의 휴즈를 프로그래밍하여 또하나의 리던던트 서브 워드라인(redundant\_sub\_word\_line)으로 대체한다.

이렇게 로우 어드레스에 의해 선택된 블록에만 리던던트 서브 워드라인이 활성화되는 종래방식은 한 블록에서 리던던트 워드라인의 개수보다 페일 비트(fail bit)를 가진 워드라인의 개수가 많으면 더 이상 대처할 수 없게된다.

또한 위의 방식에서는 리페어의 단위를 워드라인 대체방식을 사용함으로써, 노멀 워드라인과 리던던트 워드라인의 활성화 방식이 다름으로 인해 두 워드라인의 타이밍 특성이 달라질 수 있으므로 오동작을 야기시킬수도 있다.

또한, 한 개의 휴즈 박스가 한 개의 리던던트 워드라인을 대체하므로 본발명에 사용된 메인 워드라인(main word line) 대체방식보다 휴즈 박스의 활용도가 낮게된다.

**발명이 이루고자하는 기술적 과제**

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 고집적 및 대용량의 반도체 메모리 장치에서 수율을 향상시킬 수 있는 보다 효과적인 리페어 방식을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위하여 본 발명의 로우 리페어 방식은 다수개의 셀 블록을 가지는 반도체 메모리 장치에 있어서, 로우 어드레스에 응답하여 리페어하는 블록에 대한 정보를 출력하기 위하여 셀 블록마다 구비된 소정의 휴즈 박스 그룹; 상기 휴즈 박스 그룹의 출력에 응답하여 노멀 로우 디코더의 구동을 정지시키고 리페어 회로의 구동을 시작하기 위한 리페어 신호 합산부; 상기 리페어 신호 합산부로부터의 출

력과 블록 선택 어드레스에 응답하여 리페어하는 블록을 선택하기 위한 블록 선택 신호 발생부; 및 상기 퓨즈 박스 그룹으로부터의 출력과 블록 선택 신호에 응답하여 리던던트 메인 워드라인을 구동시키기 위한 리페어 로우 디코더를 포함하여 이루어진다.

이와 같이 본 발명에서는 메인 워드라인(main word line) 대치방식의 리페어 방식을 사용함으로써 퓨즈 박스 당 네 개의 서브 워드라인이 대치되게 하여 퓨즈 박스의 활용도를 높였으며, 패일 비트(fail bit)를 가진 워드라인이 그 셀 블록에 존재하는 리던던트 워드라인 수보다 많을 경우에도 퓨즈 박스의 정보를 이용하여 리던던트 메인 워드라인이 사용되는 셀 블록이 선택되도록 하여 로우 어드레스에 의해 선택되지 않은 블록의 리던던트 워드라인으로도 대치할 수 있게하기 때문에 고집적 메모리 장치에서 보다 높은 수율을 갖는 리페어 방식을 효과적으로 달성할 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

도2는 본 발명의 리던던트 메인 워드라인의 구성을 개념적으로 나타낸 블록도이다.

도2를 참조하면, 본 발명의 리페어 장치는 한 쌍의 퓨즈 박스(fuse\_up0, fuse\_dn0)와, 위쪽과 아래쪽에 각각 한 개씩의 리던던트 메인 워드라인 쌍(RMW\_up<0>, RMW\_dn<0>)을 가지고 있는 셀 블록(blk0)과, 퓨즈 박스(fuse\_up0, fuse\_dn0)로부터의 출력인 리페어 신호(xfout\_up<0>, xfout\_dn<0>)에 응답하여 각각의 리던던트 메인 워드라인 쌍(RMW\_up<0>, RMW\_dn<0>)을 구동시키는 리페어 로우 디코더(200)를 기본 구성으로 하며, 이러한 기본 구성이 로우(Row)방향으로 배열되어 모두 여덟개가 구성되어 있다.

리페어 로우 디코더(200)는 퓨즈로부터의 출력인 리페어 신호(xfout\_up<0>, xfout\_dn<0>)와 로우 어드레스에 응답하여 리던던트 메인 워드라인을 구동시키는 장치로서, 하나의 리페어 로우 디코더(200)가 한개의 리던던트 메인 워드라인을 구동하므로 퓨즈 박스 하나에 네개의 리던던트 서브 워드라인이 대치된다.

퓨즈 박스(fuse\_up0, fuse\_dn0)로부터 블록이 선택되는 과정의 상세한 회로 구성은 생략되어 있으며, 후술되는 도3의 회로 구성 및 동작 설명에서 상세히 언급될 것이다.

도3은 본 발명의 전반적인 구성을 개념적으로 나타낸 블록도이다.

도3를 참조하면, 본 발명의 리페어 장치의 블록은 퓨즈를 용단(blow-out)하여 리페어하는 블록에 대한 정보를 출력하는 퓨즈 박스 쌍(fuse\_up, fuse\_dn)이 여덟개 이루어진 퓨즈 박스 그룹(300)과, 각각의 퓨즈 박스의 출력을 합하여 노멀 로우 디코더의 구동을 정지시키고 리페어 회로의 구동을 시작하게 하는 리페어 신호 합산부(310)와, 리페어 신호 합산부(310)에서 퓨즈 박스 쌍의 출력을 부정논리곱한 리페어 합산 신호(xfout\_sum<0:7>)와 블록 선택 어드레스(blk\_add<0:7>)에 응답하여 리페어하는 블록을 선택하기 위한 여덟개의 블록 선택 신호 발생부(330)를 구비한다.

상기 리페어 신호 합산부(310)는 상기 제1퓨즈 박스 쌍(fuse\_up0, fuse\_dn0)으로부터의 출력된 제1리페어 신호(xfout\_up<0>, xfout\_dn<0>)를 부정논리곱하는 제1난드게이트(311)와, 상기 제2퓨즈 박스 쌍(fuse\_up1, fuse\_dn1)으로부터의 출력된 제2리페어 신호(xfout\_up<1>, xfout\_dn<1>)를 부정논리곱하는 제2난드게이트(312)와, 상기 제3퓨즈 박스 쌍(fuse\_up2, fuse\_dn2)으로부터의 출력된 제3리페어 신호(xfout\_up<2>, xfout\_dn<2>)를 부정논리곱하는 제3난드게이트(313)와, 상기 제4퓨즈 박스 쌍(fuse\_up3, fuse\_dn3)으로부터의 출력된 제4리페어 신호(xfout\_up<3>, xfout\_dn<3>)를 부정논리곱하는 제4난드게이트(314)와, 상기 제5퓨즈 박스 쌍(fuse\_up4, fuse\_dn4)으로부터의 출력된 제5리페어 신호(xfout\_up<4>, xfout\_dn<4>)를 부정논리곱하는 제5난드게이트(315)와, 상기 제6퓨즈 박스 쌍(fuse\_up5, fuse\_dn5)으로부터의 출력된 제6리페어 신호(xfout\_up<5>, xfout\_dn<5>)를 부정논리곱하는 제6난드게이트(316)와, 상기 제7퓨즈 박스 쌍(fuse\_up6, fuse\_dn6)으로부터의 출력된 제7리페어 신호(xfout\_up<6>, xfout\_dn<6>)를 부정논리곱하는 제7난드게이트(317)와, 상기 제8퓨즈 박스 쌍(fuse\_up7, fuse\_dn7)으로부터의 출력된 제8리페어 신호(xfout\_up<7>, xfout\_dn<7>)를 부정논리곱하는 제7난드게이트(318)와, 상기 제1 내지 제4난드게이트(311, 312, 313, 314)의 출력에 응답하여 부정논리합하는 제1노아게이트(319)와, 상기 제5 내지 제8난드게이트(315, 316, 317, 318)의 출력에 응답하여 부정논리합하는 제2노아게이트(320)와, 상기 제1노아게이트(319)의 출력과 상기 제2노아게이트(320)의 출력에 응답하여 부정논리곱하는 제9난드게이트(321)와, 상기 제9난드게이트(321)의 출력을 반전시켜서 노멀로우 인에이블 신호(nre)를 출력하는 인버터(324)와, 상기 제1노아게이트(319)의 출력을 버퍼링하여 하위 스페어로우인에이블 신호(sre\_lower)를 출력하는 두개의 인버터(322)와, 상기 제2노아게이트(320)의 출력을 버퍼링하여 상위 스페어로우인에이블 신호(sre\_upper)를 출력하는 두개의 인버터(323)를 구비한다.

상기 리페어 신호 합산부(310)의 동작은 다음과 같다.

각 블록에 지정된 퓨즈 박스 쌍(xfout\_up<0:7>, xfout\_dn<0:7>)의 출력을 합하여 리페어 합산 신호(xfuse\_sum<0:7>)를 생성한다. 또한, 상기 리페어 합산 신호(xfuse\_sum<0:7>)의 반을 합하여 상위 스페어로우인에이블 신호(sre\_upper)를 생성하고, 나머지 반을 합하여 하위 스페어로우인에이블 신호(sre\_lower)를 생성한다. 또한, 상기 상위 스페어로우인에이블 신호(sre\_upper)와 상기 하위 스페어로우인에이블 신호(sre\_lower)를 다시 합하여 노멀로우인에이블 신호(nre)를 생성한다. 즉, 상기 상위 스페어로우인에이블 신호(sre\_upper)는 전체 블록 중 반에 해당하는 블록에 지정된 퓨즈 박스의 출력을 합한 신호이고, 상기 하위 스페어로우인에이블 신호(sre\_lower)는 전체 블록 중 나머지 반에 해당하는 블록에 지정된 퓨즈 박스의 출력을 합한 신호이다. 또한 상기 노멀로우인에이블 신호는 블록 내에 존재하는 모든 퓨즈 박스의 출력을 합한 신호이다.

이 세가지 신호중 노멀로우인에이블 신호(nre)는 노멀 워드라인 동작시에 블록을 선택하는 타이밍을 결정하고, 스페어로우인에이블 신호(sre\_lower 또는 sre\_upper)는 리페어 동작시에 블록을 선택하는 타이밍을 결정하는데, 이 신호들이 발생하는 타이밍이 같아지도록 리페어 신호 합산부(310)를 구성하여 노멀 워드

라인 동작이나 리페어 동작 시에 워드라인 인에이블 타이밍을 동일하게 한다.

도2를 참조하면, 셀 블록이 여덟 개로 구성되고 각 블록에 지정된 휴즈 박스가 두 개인 경우를 나타내었다. 또한, 상위 셀 블록(bik0 내지 bik3)에 해당하는 휴즈 박스들과 블록 선택 신호 발생부(331)를 상위 그룹으로하고 하위 셀 블록(bik4 내지 bik7)에 해당하는 휴즈 박스들과 블록 선택 신호 발생부(332)를 하위 그룹으로 지정했다.

상기 블록 선택 신호 발생부(330)의 동작은 다음과 같다.

초기에 휴즈 박스(300)의 출력신호(xfout\_up<0:7>, xfout\_dn<0:7>)는 모두 논리 로우이다. 그러므로, 노멀로우인에이블 신호(nre)와 상위 및 하위 스페어로우인에이블 신호(sre\_upper, sre\_lower)는 모두 논리 로우를 유지하고 상기 리페어 합산 신호(xfout\_sum<0:7>)는 모두 논리 하이를 유지한다.

초기 상태에서 노멀 워드라인 동작이면, 모든 휴즈 박스의 출력은 논리 로우에서 논리 하일로 천이하므로 상기 리페어 합산 신호(xfout\_sum<0:7>)는 모두 논리 로우로 천이하고, 노멀로우인에이블 신호(nre)와 상위 및 하위 스페어로우인에이블 신호(sre\_upper, sre\_lower) 역시 모두 논리 하일로 천이한다.

초기 상태에서 리페어 동작이 진행된다면, 사용하고 하는 리던던트 메인 워드라인(redundant main word line)과 일치되는 휴즈 박스는 초기 상태인 논리 로우를 계속 유지하고, 나머지 휴즈 박스의 출력은 논리 하일로 천이된다. 즉, 도3에서 여섯번째 셀 블록(bik5)의 휴즈를 프로그래밍하여 리던던트 메인 워드라인을 사용하고자 한다면, 리페어 합산 신호(xfout\_sum<5>)는 논리 로우를 유지하고 나머지 리페어 합산 신호(xfout\_sum<0:4>, xfout\_sum<6:7>)는 모두 논리 하일로 천이한다. 도3에서 프로그래밍된 휴즈 박스가 하위 그룹(302)의 휴즈 박스이면 하위 그룹(302)의 휴즈 박스의 출력을 합한 상위 스페어로우인에이블 신호(sre\_upper)와 모든 휴즈 박스를 합한 노멀로우인에이블 신호(nre)는 초기상태인 논리 로우를 계속 유지하고, 상위 그룹(301)의 휴즈 박스를 합한 하위 스페어로우인에이블 신호(sre\_lower)만 논리 하일로 천이한다.

상기 리페어 신호 합산부(310)의 출력이 상기 블록 선택 신호 발생부(330)로 입력되는 방식은 아래와 같다.

상기 리페어 합산 신호(xfout\_sum<0:7>)는 각각 그 블록에 지정된 블록 선택 신호 발생부(330)로 입력되고, 상위 그룹의 휴즈 박스(301)를 합한 하위 스페어로우인에이블 신호(sre\_lower)는 하위 그룹의 블록 선택 신호 발생부(332)로 입력되고, 하위 그룹의 휴즈 박스(302)를 합한 상위 스페어로우인에이블 신호(sre\_upper)는 상위 그룹의 블록 선택 신호 발생부(331)로 입력되고, 노멀로우인에이블 신호(nre)는 모든 블록 선택 신호 발생부(330)로 입력된다.

도4는 본 발명에서 사용되는 휴즈 박스에 대한 상세한 회로도이다.

도4를 참조하면, 휴즈 박스는 제1 워드라인 선택 어드레스(bax23<0:3>)를 게이트단으로 입력받고 소스-드레인 단이 접지와 노드 common에 병렬로 연결된 네 개의 엔모스 트랜지스터(400)와, 제2 워드라인 선택 어드레스(bax45<0:3>)를 게이트단으로 입력받고 소스-드레인 단이 접지와 노드 common에 병렬로 연결된 네 개의 엔모스 트랜지스터(410)와, 제3 워드라인 선택 어드레스(bax678<0:7>)를 게이트단으로 입력받고 소스-드레인 단이 접지와 노드 common에 병렬로 연결된 여덟 개의 엔모스 트랜지스터(420)와, 셀 블록 선택 어드레스(bax9AB<0:7>)를 게이트단으로 입력받고 소스-드레인 단이 접지와 노드 common에 병렬로 연결된 여덟 개의 엔모스 트랜지스터(450)와, 게이트가 휴즈 프리차지 신호(in)에 응답하고 소스-드레인이 전원전압과 노드 common인 피모스 트랜지스터(430)와 노드 common에 인가된 신호를 래치하여 휴즈 출력 신호(xfout)를 출력하는 래치단(440)을 구비한다.

도4를 참조하여 휴즈 박스의 동작에 대해 살펴보면, 초기에 상기 피모스 트랜지스터(430)의 게이트단으로 입력되는 상기 휴즈 프리차지 신호(in)는 논리 로우 상태를 유지하고, 상기 엔모스 트랜지스터들(400, 410, 420, 450)의 게이트단으로 입력되는 상기 어드레스 신호들(bax23<0:3>, bax45<0:3>, bax678<0:7>, bax9AB<0:7>)은 모두 논리 로우 상태를 유지한다. 그러므로, 상기 피모스 트랜지스터(430)의 풀-업(pull up) 동작에 의해 상기 노드 common은 논리 하이 상태를 유지하고 휴즈 출력 신호(xfout)는 논리 로우 상태를 유지하고 있다.

이 상태에서 워드 라인 활성화 동작이 시작되면 가장 먼저 상기 휴즈 프리차지 신호(in)가 논리 하일로 천이되고, 이후 입력되는 로우 어드레스에 의해 디코딩된 상기 어드레스 신호들(bax23<0:3>, bax45<0:3>, bax678<0:7>, bax9AB<0:7>)이 입력된다. 입력되는 상기 어드레스 신호들에 의해 선택되는 워드라인이 페일(fail)이 아닌 경우에는 상기 어드레스 신호들이 입력되는 엔모스 트랜지스터와 연결된 휴즈 중에 용단(blow-out)되지 않은 휴즈가 한 개 이상 존재하므로, 페일(fail)이 아닌 워드라인에 해당하는 로우 어드레스가 입력되면, 상기 엔모스 트랜지스터(400, 410, 420, 450)의 풀-다운(pull down) 동작이 진행되어 노드 common을 논리 로우로 천이시키고 상기 휴즈 출력 신호(xfout)를 논리 하일로 천이시킨다. 만약, 입력되는 상기 로우 어드레스 신호들(bax23<0:3>, bax45<0:3>, bax678<0:7>, bax9AB<0:7>)에 의해 선택되는 워드라인에 페일 비트(fail bit)가 존재하는 경우에는 사용하고 하는 리던던트 메인 워드라인(redundant main word line)에 해당하는 휴즈 박스에서, 상기 로우 어드레스 신호들에 의해 활성화되는 상기 엔모스 트랜지스터((400, 410, 420, 450)에 연결된 휴즈가 모두 용단(blow-out)되어 있으므로, 노드 common은 상기 휴즈 출력 신호(xfout)가 피드백되어 입력되는 래치단(440)의 피모스 트랜지스터에 의해 논리 하이 상태를 유지하고, 휴즈 출력 신호(xfout)도 논리 로우 상태를 유지하여 페일(fail)이 존재하는 워드라인에 해당하는 로우 어드레스가 입력되었음을 알려준다. 이 후에 워드라인 비활성화 동작이 시작되면, 먼저 상기 어드레스 신호들(bax23<0:3>, bax45<0:3>, bax678<0:7>, bax9AB<0:7>)이 모두 논리 로우로 초기화되고, 다음에 상기 휴즈 프리차지 신호(in)가 논리 로우로 초기화 되면서 노드 common과 휴즈 출력 신호(xfout)가 프리차지된다.

이 휴즈 박스의 출력은 상기 리페어 신호 합산부(310)로 입력되고 리던던트 메인 워드라인을 활성화시키는 리페어 로우 디코더 회로(200)로 입력된다.

도5은 각 셀 블록을 선택하는 블록 선택 신호 발생부(500)의 블록도이다.

도5을 참조하면, 블록 선택 신호 발생부(300)는 각 셀 블록(bik0 내지 bik7)에 하나씩 존재하며 각 블록에 지정된 휴즈의 출력을 모두 합한 신호(xfout\_sum)와 로우 어드레스에 의해 만들어진 블록 선택 어드레스 신호(bik\_add)의 입력을 받아 블록을 선택하는 장치이다. 블록 선택 신호 발생부(500)에서 노멀 워드라인 동작인 경우에는 로우 어드레스에 의해 지정된 셀 블록이 선택되고, 리페어 동작인 경우에는 사용하고자는 리던던트 메인 워드라인과 어드레스가 일치된 휴즈를 프로그래밍한 정보를 받아 리던던트 메인 워드라인이 존재하는 셀 블록이 선택된다.

도 6a는 상기 블록 선택 신호 발생부(330)의 상세한 회로도이다.

도6a를 참조하면, 블록 선택 신호 발생부(330)은 상기 리페어 신호 합산부(310)으로부터의 출력인 노멀로우인에이블 신호(nre)와 스페어로우인에이블 신호(sre)와 상기 리페어 합산 신호(xfout\_sum)와 블록선택 어드레스(bik\_add)에 응답하여 노멀 로우와 스페어 로우가 활성화될 때 해당되는 셀 블록을 선택하기 위한 입력단(600)과, 상기 휴즈 프리차지 신호(in)에 응답하여 어드레스가 활성화될 때는 블록 선택 신호 발생부(330)을 구동하고 비활성화될 때는 정지시키는 제어단(610)과, 상기 제어단(610)의 출력을 래치하기 위한 래치단(620)과, 발생된 래치단(620)의 신호를 출력하기 위한 두 쌍의 인버터(630)를 구비한다.

상기 입력단(600)은 상기 노멀로우인에이블 신호(nre)와 블록선택어드레스(bik\_add)에 응답하여 노드 a와 접지에 직렬 연결된 제1 및 제2엔모스 트랜지스터와 상기 스페어로우인에이블 신호(sre)와 상기 리페어 합산 신호(xfout\_sum)에 응답하여 노드 a와 접지에 직렬 연결된 제3 및 제4엔모스 트랜지스터를 구비한다.

상기 제어단(620)은 게이트단이 상기 휴즈 프리차지 신호(in)와 연결되어 있고 소스-드레인이 전원전압과 출력 노드 b에 연결된 피모스 트랜지스터와 게이트단이 상기 휴즈 프리차지 신호(in)에 연결되어 있고 소스-드레인이 출력 노드 b와 상기 노드 a에 연결된 엔모스 트랜지스터를 구비한다.

상기 래치단(620)은 상기 노드 b를 반전시키는 제1인버터와 제1인버터의 출력을 반전시켜 노드 b로 다시 출력을 내보내어 래치하는 제2인버터를 구비한다.

도6b와 도6c를 참조하여 블록 선택 신호 발생부(330)의 동작방식에 대하여 살펴보자.

초기상태에 상기 리페어 합산 신호(xfout\_sum)는 논리 하이 상태이고, 나머지 입력신호들은 모두 논리 로우 상태를 유지한다. 따라서 출력신호인 블록선택신호(biksel)도 논리 로우를 유지하고 있다. 이후 워드라인 활성화 동작이 시작되면, 먼저 상기 휴즈 프리차지 신호(in)가 논리 하이로 천이한다. 그 후 블록선택어드레스(bik\_add)가 논리 하이로 천이한다.

이때 노멀 워드라인 동작이면, 휴즈 박스의 정보를 받은 노멀로우인에이블신호(nre)가 논리 하이로 천이되어 상기 블록선택신호(biksel)를 논리 하이로 활성화시킴으로서 입력된 블록선택어드레스(bik\_add)에 의해 블록이 선택된다. 한편, 스페어로우인에이블 신호(sre) 역시 논리 하이로 천이 하지만 상기 입력단(600)의 직렬로 연결된 엔모스 트랜지스터에 입력되는 상기 리페어 합산 신호(xfout\_sum)가 먼저 논리 로우로 천이 되어있으므로 출력에 아무런 영향을 미치지 못한다.

여기서 블록 선택 신호 발생부(330)로 입력되는 블록 선택 어드레스(bik\_add)는 여덟개중 하나가 활성화되므로 블록 선택 신호 발생부(330)의 출력인 상기 블록선택신호(biksel)도 하나만 활성화되어 하나의 셀 블록을 선택한다.

반대로 리페어 동작이면, 노멀로우인에이블 신호(nre)가 초기상태인 논리 로우 상태를 유지하므로 입력단(600)의 엔모스 트랜지스터의 게이트단으로 입력되는 블록선택어드레스(bik\_add)에 의한 인에이블을 막고, 사용하고자 하는 리던던트 메인 워드라인(redundant main word line)이 존재하는 블록에서 휴즈 박스의 출력을 합한 리페어 합산 신호(xfout\_sum)가 논리 하이로 유지하며, 그 블록의 블록 선택 신호 발생부로 입력된다. 이때, 반대 그룹의 휴즈 박스들(도3의 301와 302중 하나)을 합한 신호(도3의 sre\_upper와 sre\_lower중의 하나)가 논리 하이로 천이되어, 출력인 블록선택신호(biksel)를 논리 하이로 인에이블(enable)시켜 사용하는 리던던트 메인 워드라인(redundant main word line)이 존재하는 셀 블록을 선택한다.

도7a는 워드라인(word line)에 패일 비트(fail bit)가 존재하지 않아, 노멀 워드라인이 동작할 때의 블록이 선택되는 것을 나타내는 신호 흐름도이다.

도7a는 패일 비트(fail bit)가 존재하여 다섯번째의 셀 블록(bik5)가 선택될 때의 블록이 선택되는 것을 나타내는 신호 흐름도이다.

상기 도7a와 도7b의 신호 흐름에 대한 설명은 전술한 블록선택신호(biksel)가 활성화되는 타이밍도와 동일하므로 상세한 설명은 생략한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 발명의 효과

상기와 같이 본 발명은 메인 워드라인(main word line) 단위의 대처방식을 사용해서 한 개의 휴즈 박스당 리페어되는 워드라인이 네개이므로 휴즈 박스 한개당 활용도를 높였으며, 패일 비트(fail bit)가 존재하는 워드라인이 위치한 셀 블록에서 뿐만아니라, 다른 셀 블록의 리던던트 워드라인으로도 대처가 가능하기 때문에 다수의 셀 블록에 존재하는 휴즈 박스의 개수만큼 메인 워드라인을 대처할 수 있어 리페어의

효율을 증가시켰다. 이런 리페어 효율의 증가는 제품의 수율을 향상시켜 제품의 제조단가를 감소시킴으로써 타 제품과의 가격경쟁력에서 우위를 점할수 있게 된다. 또한 자체적으로 블록 선택 타이밍이 정해지므로 공정, 온도, 전압의 변화에 상관없이 항상 안정된 동작이 가능하다.

#### (57) 청구의 범위

청구항 1. 다수개의 셀 블록을 가지는 반도체 메모리 장치에 있어서,

로우 어드레스에 응답하여 리페어하는 블록에 대한 정보를 출력하기 위하여 셀 블록마다 구비된 소정의 휴즈 박스 그룹;

상기 휴즈 박스 그룹의 출력에 응답하여 노멀 로우 디코더의 구동을 정지시키고 리페어 회로의 구동을 시작하기 위한 리페어 신호 합산부;

상기 리페어 신호 합산부로부터의 출력과 블록 선택 어드레스에 응답하여 리페어하는 블록을 선택하기 위한 블록 선택 신호 발생부; 및

상기 휴즈 박스 그룹으로부터의 출력과 블록 선택 신호에 응답하여 리던던트 메인 워드라인을 구동시키기 위한 리페어 로우 디코더

를 포함하여 이루어진 반도체 메모리 장치

청구항 2. 상기 제 1 항에 있어서,

휴즈 박스 그룹은,

다수개의 상위 셀 블록의 리던던트 워드라인 쌍에 대응하는 다수개의 상위 휴즈 박스 쌍; 및

다수개의 하위 셀 블록의 리던던트 워드라인 쌍에 대응하는 다수개의 하위 휴즈 박스 쌍;

를 포함하여 이루어진 반도체 메모리 장치.

청구항 3. 상기 제 1 항에 있어서,

리페어 신호 합산부는,

상기 상위 휴즈 박스 쌍의 출력을 부정논리곱하여 리페어 합산 신호를 출력하기 위한 다수개의 제1난드게이트;

상기 하위 휴즈 박스 쌍의 출력을 부정논리곱하여 리페어 합산 신호를 출력하기 위한 다수개의 제2난드게이트;

상기 제1난드게이트의 출력을 부정논리합하는 제1노아게이트;

상기 제2난드게이트의 출력을 부정논리합하는 제2노아게이트;

상기 제1노아게이트의 출력과 제2노아게이트의 출력을 부정논리곱하는 제3난드게이트;

상기 제1노아게이트의 출력을 드라이브하여 하위 스페어로우인에이블 신호를 출력하기 위한 제1출력단;

상기 제2노아게이트의 출력을 드라이브하여 상위 스페어로우인에이블 신호를 출력하기 위한 제2출력단; 및

상기 제3난드게이트의 출력을 반전시켜 노멀로우인에이블 신호를 출력하기 위한 인버터

를 포함하여 이루어진 반도체 메모리 장치.

청구항 4. 상기 제 1 항에 있어서,

블록 선택 신호 발생부는,

상기 하위 스페어로우인에이블 신호와 상기 노멀로우인에이블 신호와 상기 제1난드게이트의 출력과 상위 블록 어드레스 신호에 응답하여 리페어하는 블록을 선택하기 위한 상위 블록 선택 신호 발생부; 및

상기 상위 스페어로우인에이블 신호와 상기 노멀로우인에이블 신호와 상기 제2난드게이트의 출력과 하위 블록 어드레스 신호에 응답하여 리페어하는 블록을 선택하기 위한 하위 블록 선택 신호 발생부

를 포함하여 이루어진 반도체 메모리 장치.

청구항 5. 상기 제 2 항에 있어서,

휴즈 박스는,

소정의 노드(common);

로우 디코더를 선택하는 소정의 로우 어드레스와 블록 어드레스에 응답하고 소스단이 접지에 연결되고 드레인단이 휴즈를 통하여 상기 노드(common)에 연결된 다수개의 엔모스 트랜지스터;

휴즈가 비활성화 될 때에 휴즈를 프리차지 하기 위한 휴즈 프리차지 신호에 응답하여 노드(common)를 전

원전압으로 프리차지하기 위한 피모스 트랜지스터; 및  
노드(common)를 래치하기 위한 래치단  
을 포함하여 이루어진 반도체 메모리 장치.

**청구항 6.** 상기 제 5 항에 있어서,  
래치단은,  
상기 노드(common)를 반전하기 위한 인버터; 및  
상기 인버터의 출력에 응답하여 상기 노드(common)에 전원전압을 인가하기 위한 피모스 트랜지스터  
를 포함하여 이루어진 반도체 메모리 장치.

**청구항 7.** 상기 제 4 항에 있어서,  
블록 선택 신호 발생부는,  
상기 리페어 신호 합산부로부터의 출력인 노멀로우인에이블 신호와 스페어로우인에이블 신호와 상기 리페어  
합산 신호와 블록선택어드레스에 응답하여 노멀로우와 스페어로우가 활성화될 때 해당되는 셀 블록  
을 선택하기 위한 입력단;  
상기 휴즈 프리차지 신호에 응답하여 어드레스가 활성화될 때는 블록 선택 신호 발생부를 구동하고 비활  
성화될 때는 정지시키기 위한 제어단;  
상기 제어단의 출력을 래치하기 위한 래치단; 및  
상기 래치단으로부터 발생된 신호를 출력하기 위한 두 쌍의 인버터  
를 포함하여 이루어진 반도체 메모리 장치.

**청구항 8.** 상기 제 7 항에 있어서,  
입력단은,  
노드(a);  
상기 노멀로우인에이블 신호와 블록선택어드레스에 응답하여 노드(a)와 접지단에 직렬 연결된 제1 및 제2  
엔모스 트랜지스터; 및  
상기 스페어로우인에이블 신호와 상기 리페어 합산 신호에 응답하여 상기 노드(a)와 접지단에 직렬 연결  
된 제3 및 제4엔모스 트랜지스터  
를 포함하여 이루어진 반도체 메모리 장치.

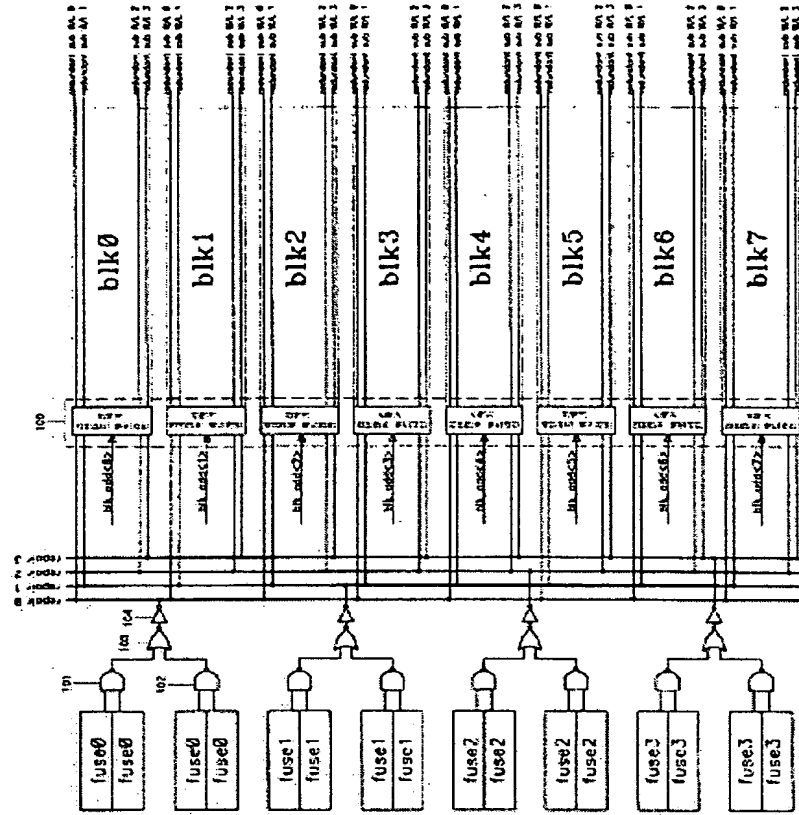
**청구항 9.** 상기 제 7 항에 있어서,  
제어단은,  
노드(b);  
게이트단이 상기 휴즈 프리차지 신호와 연결되어 있고 소스-드레인이 전원전압과 상기 노드(b)에 연결된  
피모스 트랜지스터; 및  
게이트단이 상기 휴즈 프리차지 신호에 연결되어 있고 소스-드레인이 상기 노드(b)와 상기 노드(a) 사이  
에 형성된 엔모스 트랜지스터  
를 포함하여 이루어진 반도체 메모리 장치.

**청구항 10.** 상기 제 7 항에 있어서,  
래치단은,  
상기 노드(b)를 반전시키는 제1인버터; 및  
제1인버터의 출력을 반전시켜 상기 노드(b)로 다시 출력을 내보내어 래치하기 위한 제2인버터  
를 포함하여 이루어진 반도체 메모리 장치.

도면



5B1



FB2

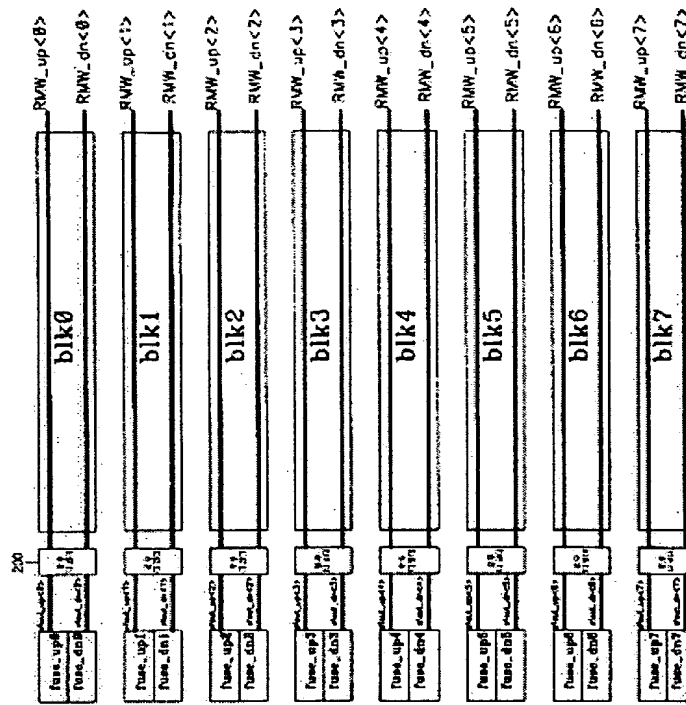


Fig. 3

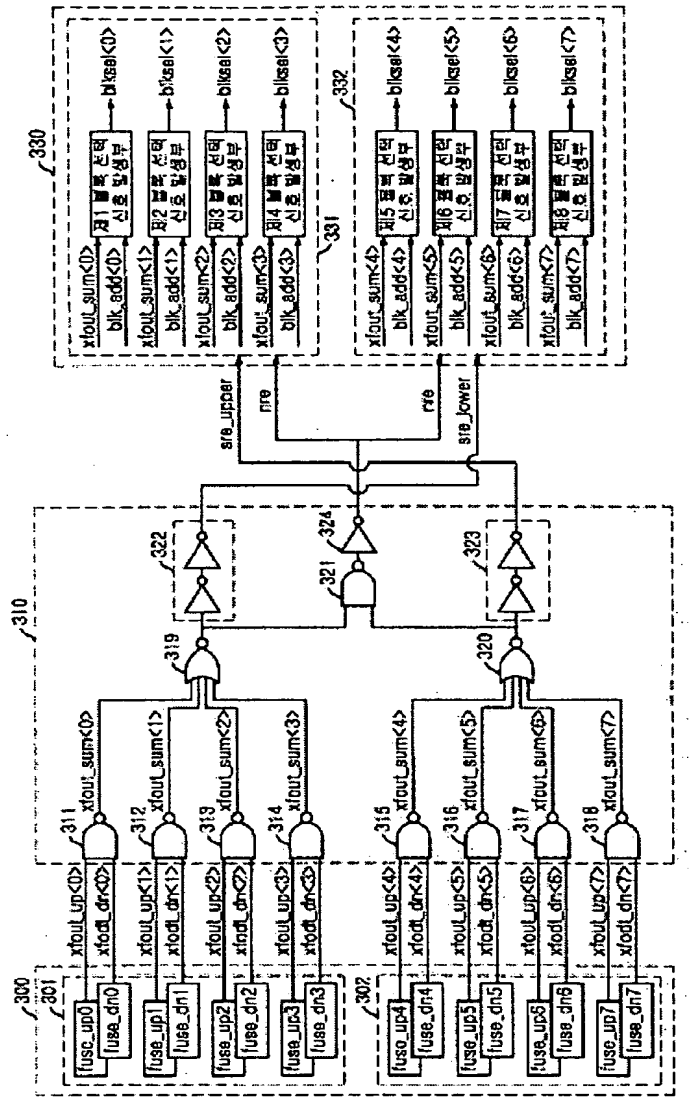
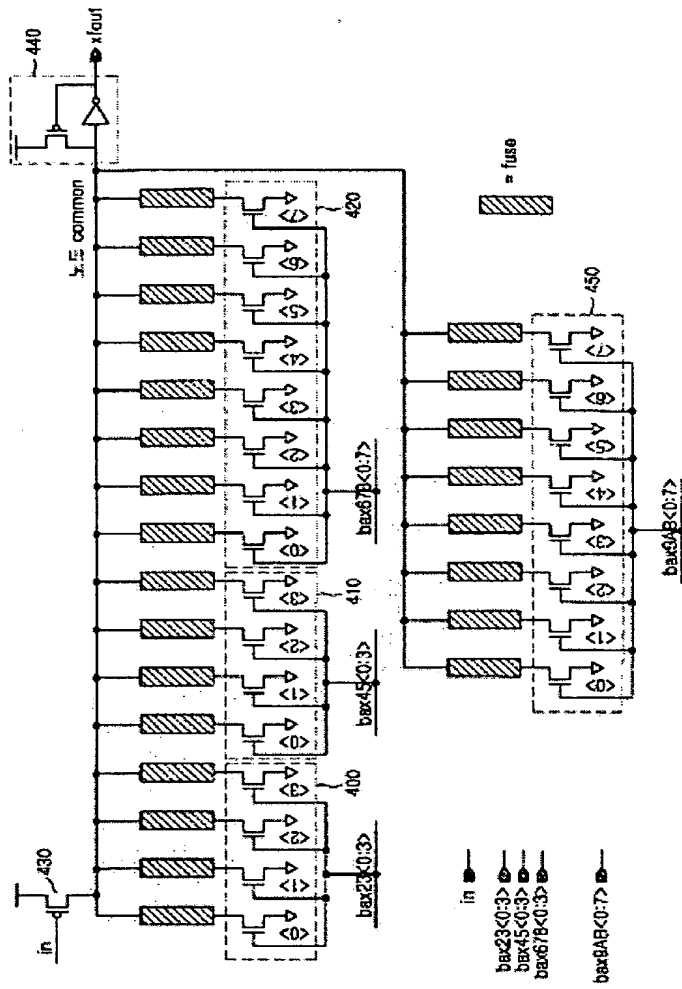
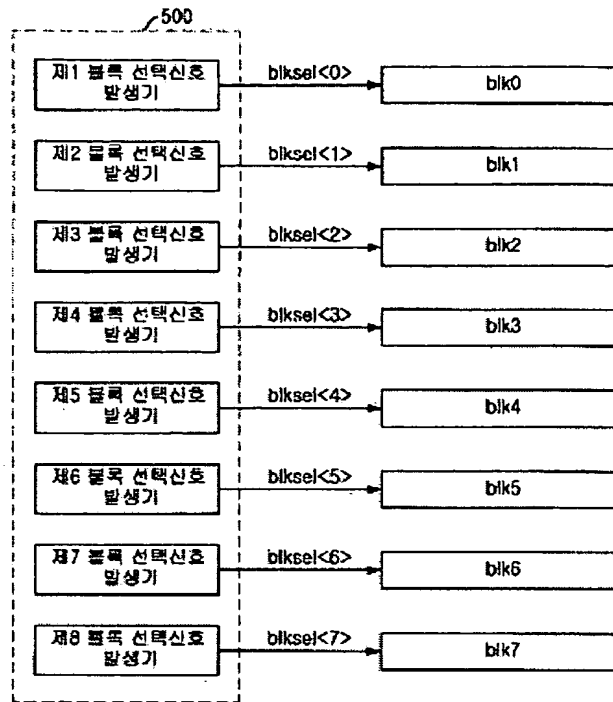


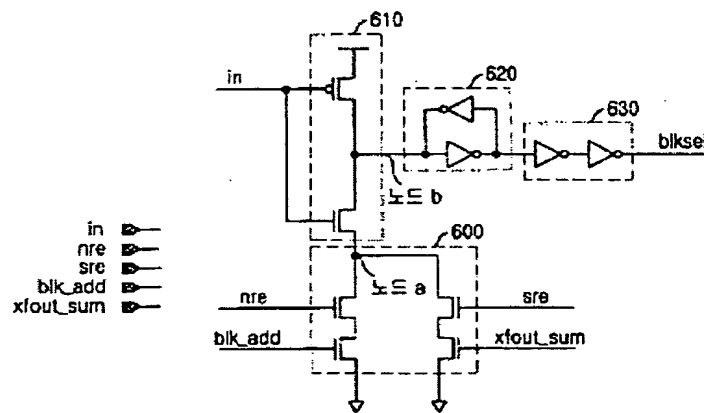
Fig. 14



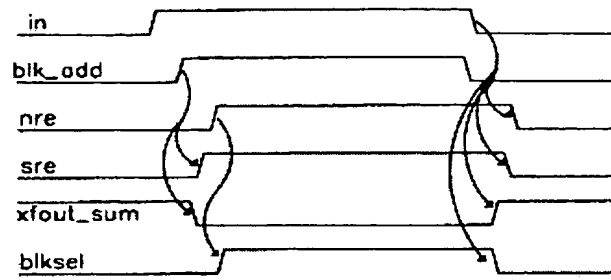
도 25



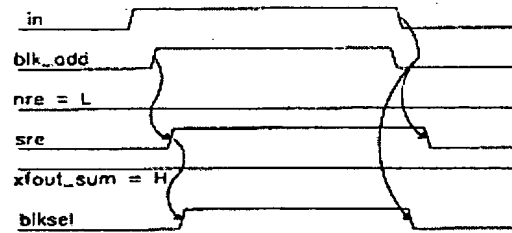
도 26a



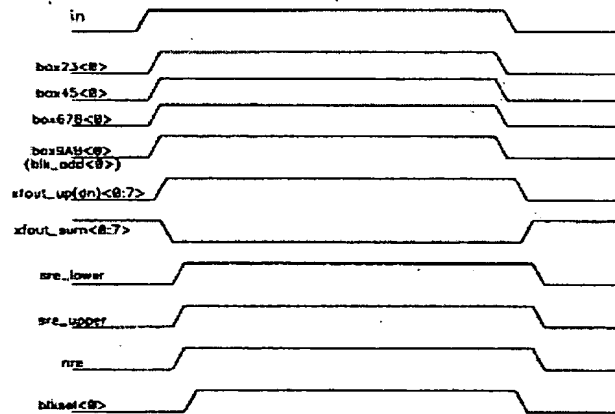
도 86b



도 86c



도 87a



도 17b

